

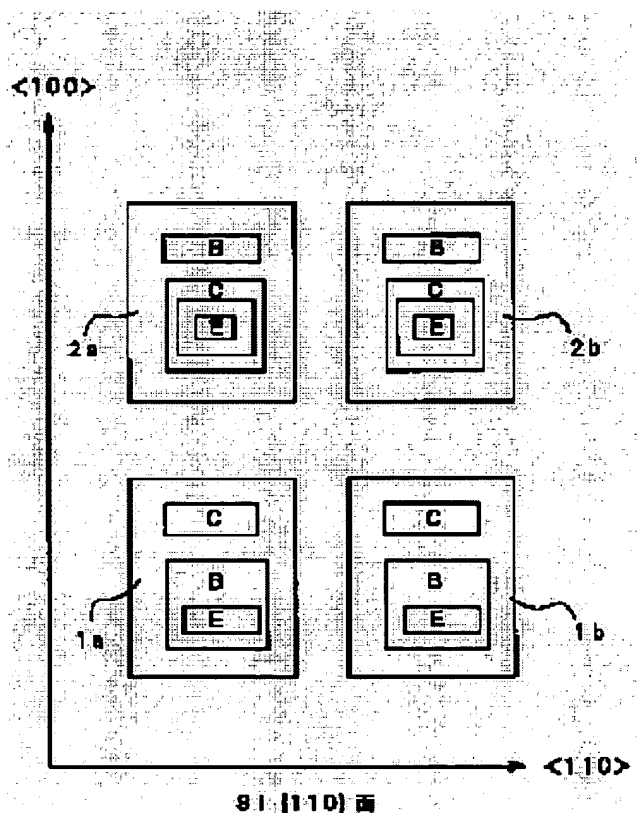
CIRCUIT DEVICE WITH DIFFERENTIAL PAIR OF TRANSISTORS

Patent number: JP9181191
Publication date: 1997-07-11
Inventor: IKUTA TOSHIO
Applicant: DENSO CORP
Classification:
- **International:** H01L21/8222; H01L27/06; H03F3/45
- **European:**
Application number: JP19950341048 19951227
Priority number(s):

Abstract of JP9181191

PROBLEM TO BE SOLVED: To reduce the drift of an operational amplifier or the like in which a differential pair of bipolar transistors are formed on a silicon substrate by a method wherein a silicon substrate having a specific main face is used as the silicon substrate and the differential pair of bipolar transistors are arranged and formed in such a way that their main current direction becomes a specific direction.

SOLUTION: Differential pairs of bipolar transistors 1a, 1b, 2a, 2b are formed on a silicon substrate. In such a circuit device, at silicon substrate having a $110\}$ plane is used as the silicon substrate, the differential pairs of all transistors 1a, 1b, 2a, 2b are arranged and formed in such a way that their main current direction becomes a $\langle 100 \rangle$ direction. For example, a circuit device is provided with one pair of resistances which are connected in series with differential pairs of bipolar transistors, and the pairs of resistors are arranged and formed on the same silicon substrate in such a way that their current direction becomes a $\langle 100 \rangle$ direction. Thereby, an offset dislocation due to a stress is reduced, and a low-drift operational amplifier or the like can be constituted.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-181191

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/8222			H 0 1 L 27/06	1 0 1 D
	27/06		H 0 3 F 3/45	A
H 0 3 F 3/45				

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平7-341048

(22) 出願日 平成7年(1995)12月27日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 生田 敏雄

愛知県刈谷市昭和町1丁目1番地 日本電

装株式会社内

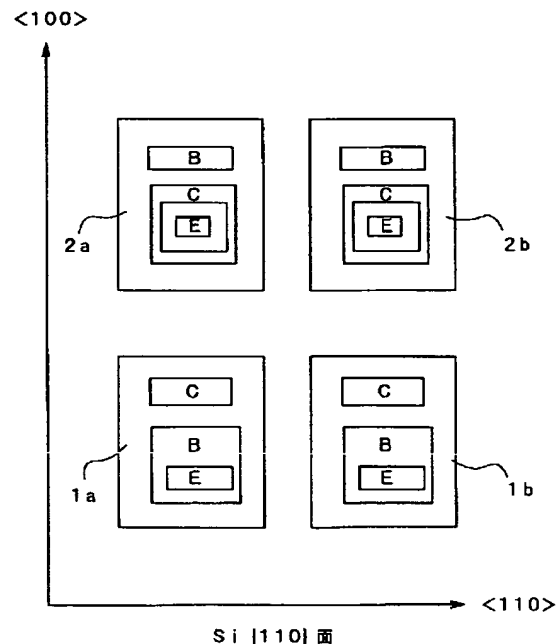
(74) 代理人 弁理士 伊藤 洋二

(54) 【発明の名称】 差動対トランジスタを有する回路装置

(57) 【要約】

【課題】 オペアンプ等の、差動対を有するトランジスタを有する回路において低ドリフト化を図る。

【解決手段】 差動対のバイポーラトランジスタ1a、1b、2a、2bを有するオペアンプにおいて、{110}面を有するSi基板に、差動対のバイポーラトランジスタ1a、1b、2a、2bを、主電流方向が<100>方向になるように配置形成した。



【特許請求の範囲】

【請求項1】 差動対のバイポーラトランジスタ（1a、1b、2a、2b）をシリコン基板に形成してなる回路装置において、前記シリコン基板は〈110〉面を有するものであり、前記差動対の全てのトランジスタを、主電流方向が〈100〉方向になるように配置形成したことを特徴とする差動対トランジスタを有する回路装置。

【請求項2】 前記差動対のバイポーラトランジスタのそれぞれに直列接続された一対の抵抗（3a、3b）を有し、この一対の抵抗を電流方向が〈100〉方向になるように前記シリコン基板に配置形成したことを特徴とする請求項1に記載の差動対トランジスタを有する回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、オペアンプのように、差動対のバイポーラトランジスタをシリコン基板に形成してなる回路装置に関する。

【0002】

【発明が解決しようとする課題】従来、オペアンプにおいて、低ドリフトのものが要求されている。しかしながら、オペアンプはその製造段階での保護膜の応力や組付応力等が残留し、低ドリフト化が困難となっている。本発明は上記問題に鑑みたもので、低ドリフト化を図ることを目的とする。

【0003】

【課題を解決するための手段】上記目的を達成するため、本発明者は以下の検討を行った。〈110〉面を有するシリコン基板を用いた場合、ピエゾ抵抗係数は図7に示す特性を有している。この特性を用い、半導体圧力センサでは、ピエゾ抵抗係数の大きい方向に歪ゲージを配置して圧力検出を行っているのであるが、このことは、バイポーラトランジスタにおいてピエゾ抵抗係数の大きい方向ほど応力に対する感度が高くなり、バイポーラトランジスタに悪影響を与えることを意味している。

【0004】特に、オペアンプにおける差動対のバイポーラトランジスタを、ピエゾ抵抗係数の大きい方向に配置すると、僅かな応力でベア特性がズレてオフセットが発生し、増幅度が高ければその影響が大きくなる。逆に言えば、差動対のバイポーラトランジスタをピエゾ抵抗係数の小さい方向に配置すれば、応力に対する感度を低下させ、低ドリフト化を図ることができる。

【0005】本発明は上記検討を基になされたもので、シリコン基板として〈110〉面を有するものを用い、差動対のトランジスタを、主電流方向が〈100〉方向になるように配置形成したことを特徴としている。図7において、〈100〉方向は最もピエゾ抵抗係数が小さい方向になっている。従って、その方向に主電流が流れるように差動対のトランジスタを配置すれば、応力によ

るオフセットズレを軽減することができ、低ドリフト化を図ることができる。

【0006】また、差動対のバイポーラトランジスタのそれぞれに一対の抵抗が直列接続されている場合には、その一対の抵抗も電流方向が〈100〉方向になるように配置形成すれば、抵抗部分での応力によるオフセットズレも軽減することができるため、低ドリフト化を図ることができる。

【0007】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。図1に、種々のバイポーラトランジスタ（以下、Trという）の配置方向を示す。（a）はNPNTTr、（b）はラテラルのPNPTTr、（c）はパーティカルPNPTTrである。また、Bはベース、Cはコレクタ、Eはエミッタである。これらのTrを、〈110〉面を有するシリコン（Si）基板に図に示すように配置すれば、Trの主電流方向を〈100〉方向にすることができ、応力による影響を小さくすることができる。

【0008】図2に一般的なオペアンプの回路例を示す。オペアンプは、差動対のTrを有する回路10を備えており、その回路10において、PNPTTr1a、1bおよびNPNTTr2a、2bがそれぞれ差動対をなすTrを構成している。そこで、それらのTrを、図3に示すように、主電流方向が〈100〉方向になるように〈110〉面を有するSi基板に配置形成する。さらに図2に示すように、一対の抵抗3a、3bが形成されている場合には、その電流方向が〈100〉方向になるようにSi基板に配置形成する。このような配置形成により、応力によるオフセットズレを軽減し、高精度かつ低ドリフトのオペアンプを構成することができる。

【0009】なお、図2、図3に示す構成において、PNPTTr1a、1bおよびNPNTTr2a、2bを、それぞれ2つの対のTrとしてそれらをいわゆるクロス配置した構成としてもよい。また、上記した差動対のTrを有する回路10としては、図4～図6に示す構成のものを用いることができる。なお、図6は、出力が2本で、ダブルエンドで取り出している例である。これらは、公知のものであるため、その説明は省略する。

【0010】さらに、本発明はオペアンプに限らず、差動対のTrを有する回路装置であれば他のものにも適用でき、例えば差動対のTrを有するカレントミラー回路にも適用することができる。また、使用するTrも、適用する回路に応じ図1に示すものを選択的に用いることができる。

【図面の簡単な説明】

【図1】〈110〉面を有するSi基板に、NPNTTr、ラテラルのPNPTTr、パーティカルPNPTTrを配置する方向を示す図である。

【図2】オペアンプの回路構成を示す図である。

【図3】図2に示すPNPTr 1a、1bおよびNPNTr 2a、2bを、{110}面を有するSi基板に配置形成した状態を示す図である。

【図4】オペアンプの差動対を構成する他の回路構成を示す図である。

【図5】オペアンプの差動対を構成するさらに他の回路構成を示す図である。

【図6】オペアンプの差動対を構成するさらに他の回路構成を示す図である。

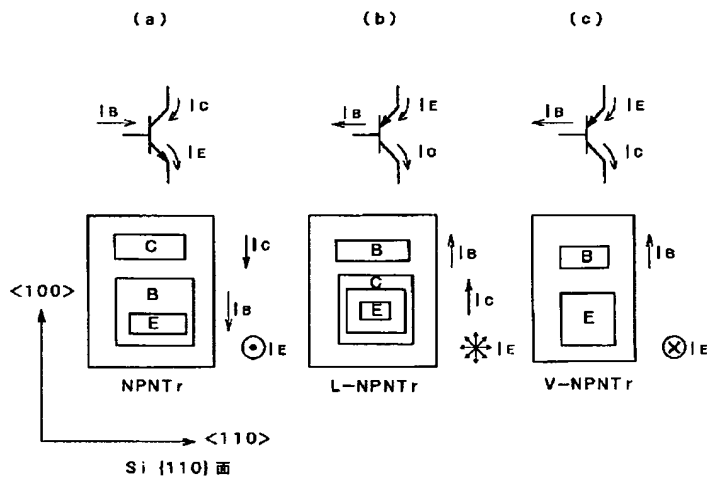
【図7】{110}面を有するSi基板におけるピエゾ抵抗係数の特性図である。

【符号の説明】

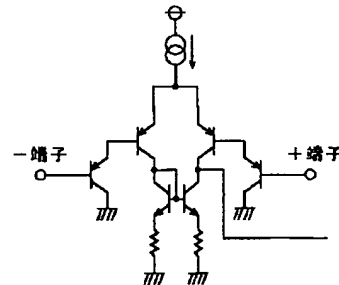
1a、1b…差動対をなすPNPTr

2a、2b…差動対をなすNPNTr

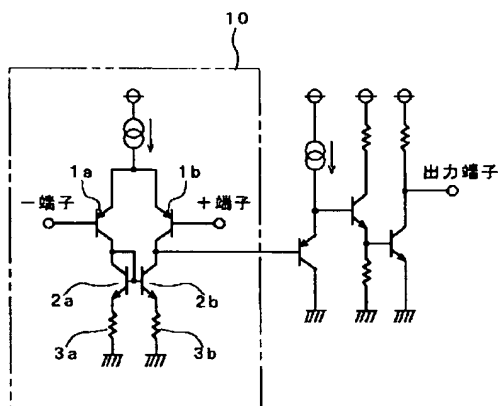
【図1】



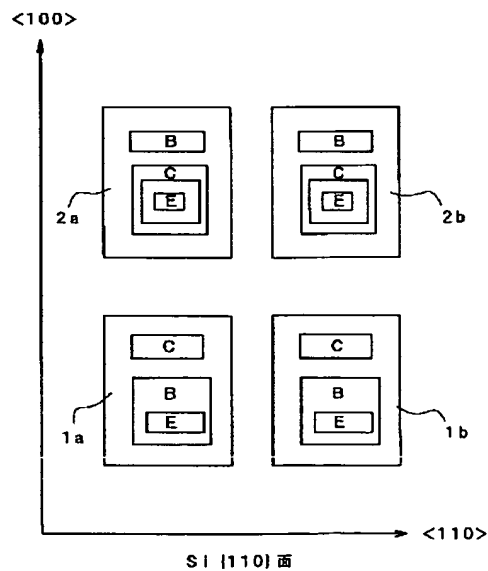
【図4】



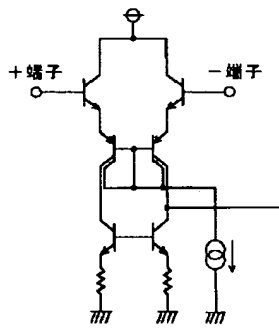
【図2】



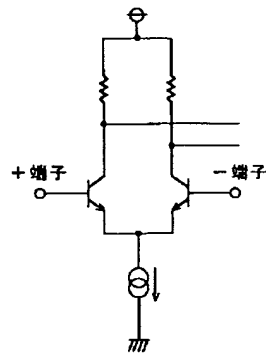
【図3】



【図5】



【図6】



【図7】

